

⑫ 公開特許公報 (A)

昭55—72255

⑪ Int. Cl.³
G 06 F 9/30

識別記号

庁内整理番号
6745—5B⑬ 公開 昭和55年(1980)5月30日
発明の数 2
審査請求 未請求

(全 14 頁)

⑭ セグメント化バスを用いたデータプロセッサ
用実行ユニット

⑯ 特 願 昭54—145341

⑰ 出 願 昭54(1979)11月9日

優先権主張 ⑱ 1978年11月17日 ⑲ 米国(US)
⑳ 961798㉑ 発 明 者 トーマス・グレン・ガンター
アメリカ合衆国テキサス州7875
9オースティン・マウンテン・
パス4505番㉒ 発 明 者 ハリー・レスリー・トレツデン
ニツク
アメリカ合衆国テキサス州78745オースティン・パツク・サド
ル4508番㉓ 発 明 者 ドイル・バーノン・マク・アリ
スター
アメリカ合衆国テキサス州7866
0プフルジャー・ビル・ヘツブ
・レイン15607番㉔ 出 願 人 モトローラ・インコーポレーテ
ッド
アメリカ合衆国イリノイ州6019
6シヤンバーグ・イー・アルゴ
ンクイン・ロード1303番

㉕ 代 理 人 弁理士 佐藤 薫

明 細 書

1. 発明の名称 セグメント化バスを用いたデータ
プロセッサ用実行ユニット

2. 特許請求の範囲

1. (a) 所定ビット長の少くとも1個の2進ワー
ドをストアする第1のストレージ手段、(b) 該第1のストレージ手段に結合されてデ
ジタル情報を転送する第1、第2のバス手段、該
第1、第2のバス手段の各々は所定ビット長の2
進ワードを転送するのに適したものであり、(c) 所定ビット長の少くとも1個の2進ワー
ドをストアする第2のストレージ手段、(d) 該第2のストレージ手段に結合されてデ
ジタル情報を転送する第3、第4のバス手段、該
第3、第4のバス手段の各々は所定ビット長の2
進ワードを転送するのに適したものであり、及び、(e) 第1、第2のスイッチ手段、該第1のス
イッチ手段は前記第1、第3のバス手段間に結合
されて第1の制御信号に応答して前記第1、第3のバス手段間のデジタル情報転送をイネーブルす
るものであり、該第2のスイッチ手段は前記第2、
第4のバス手段間に結合されて第2の制御信号に
応答して前記第2、第4のバス手段間のデジタル
情報転送をイネーブルするものであり、を具備し
たことを特徴とするデータプロセッサ。2. (a) 所定ビット長の少くとも1個の2進ワー
ドをストアする第1のストレージ手段、(b) 該第1のストレージ手段に結合されてデ
ジタル情報を転送する第1、第2のバス手段、該
第1、第2のバス手段の各々は所定ビット長の2
進ワードを転送するのに適したものであり、(c) 所定ビット長の少くとも1個の2進ワー
ドをストアする第2のストレージ手段、(d) 該第2のストレージ手段に結合されてデ
ジタル情報を転送する第3、第4のバス手段、該
第3、第4のバス手段の各々は所定ビット長の2
進ワードを転送するのに適したものであり、(e) 第1、第2のスイッチ手段、該第1のス
イッチ手段は前記第1、第3のバス手段間に結合

されて第1の制御信号に回答して前記第1, 第3のバス手段間のデジタル情報転送をイネーブルするものであり、該第2のスイッチ手段は前記第2, 第4のバス手段間に結合されて第2の制御信号に回答して前記第2, 第4のバス手段間のデジタル情報転送をイネーブルするものであり、

(f) 所定ビット長の少くとも1個の2進ワードをストアする第3のストレージ手段、

(g) 該第3のストレージ手段に結合されてデジタル情報を転送する第5, 第6のバス手段、該第5, 第6のバス手段の各々は所定ビット長の2進ワードを転送するのに適したものであり、及び、

(h) 第3, 第4のスイッチ手段、該第3のスイッチ手段は前記第3, 第5のバス手段間に結合されて第3の制御信号に回答して前記第3, 第5のバス手段間のデジタル情報転送をイネーブルするものであり、該第4のスイッチ手段は前記第4, 第6のバス手段間に結合されて第4の制御信号に回答して前記第4, 第6のバス手段間のデジタル情報転送をイネーブルするものであり、を具備し

(3)

このような半導体技術の進歩に伴つてLSIマイクロプロセッサが進歩した。近年いくつかの企業が導入した新鋭機は、3〜4年前の8ビット・マイクロプロセッサよりもはるかに高性能なものとなつている。この新しいマイクロプロセッサは、16ビットのデータバス及び演算能力を有している。このマイクロプロセッサはマルチプル・メガバイトメモリを直接的にアドレスする。機能・速度でみれば、それらは最近の16ビット・マイクロコンピュータをほとんどしのいでいる。

本発明が適用されるある種のデータプロセッサは、バイト(8ビット)、ワード(16ビット)又はダブルワードのオペランドを含むシングル及びデュアルオペランドの汎用命令から成る命令セットを実行する。操作は通常、メモリ・レジスタ間、レジスタ・メモリ間又はレジスタ相互間で行われる。上記ある種のデータプロセッサは、加算、比較、シフト等の標準命令の他、レジスタへのマルチプルロード及びストア、乗・除算ならびに各種のビット操作を行えるように設計されている。こ

(5)

たことを特徴とするデータプロセッサ。

3. 前記第1, 第2, 第3及び第4のバス手段は差動信号線対から成り、該差動信号線対の各々は転送すべき2進ワード内の各ビットに対しトルー信号及びコンプリメント信号を転送することを特徴とする特許請求の範囲第1項記載のデータプロセッサ。

3. 発明の詳細な説明

本発明は一般的にはデータプロセッサ及びランダムアクセス・メモリに関するものであり、より具体的には、データプロセッサ内のレジスタ構成用マルチポートRAM構造に関するものである。

シングルチップLSIマイクロプロセッサは急速に進歩している。その基礎をなす半導体技術、すなわちMOS技術、が進歩の原動力となつている。2年ごとに、集積度は倍増し、動作速度が倍増すると共に速度電力積が4倍増している。また歩留りの向上に伴い低コスト化が製品の低価格化を招き、これが需要を増大させ、新たな応用分野及び市場を増大させている。

(4)

のデータプロセッサは、8個の32ビット・アドレス操作レジスタ及び8個の32ビット・データ操作レジスタを具えている。上記アドレスレジスタは16ビット操作も32ビット操作も可能であり、かつ上記データレジスタは3ビット、16ビット及び32ビット操作が可能である。プログラムは上記アドレスレジスタ及びデータレジスタのすべてをアクセスできる。この他に、ユーザからのアクセスが制限されているプログラムカウンタ及びユーザからアクセスすることができず、命令実行期間内の一時蓄積に専用されるいくつかのレジスタを具えている。

従来のデータプロセッサの多くは、1ないし複数本のデジタルバスを使用して、複数のアドレスレジスタ及びデータレジスタをデータプロセッサの実行ユニット内の演算ユニットに接続している。実行ユニットをデータプロセッサのI/O端子に接続してアドレスを転送したり、あるいは命令及びデータを授受するため、デジタルバスが一般的に使用される。そのようなバス構造を使用するデー

(6)

タプロセッサの一例としてモトローラ社製のMC 6800があるが、これについてはBennettらの発明になり本件の出願人に譲渡された“Microprocessor chip Register Bus Structure”と題する米国特許第4,004,281号に記載されている。

データプロセッサの処理速度及び効率向上のための一手法として並列動作がある。例えば、カレント命令に従つてデータ計算を行うと同時にネクスト命令中のメモリアドレスの計算を行うことができよう。上述の米国特許第4,004,281号に開示されているバス構造はこのような並列動作に十分に適しているとはいえない。並列動作を単純に推進するためには、既存のデジタルバスが行なっている転送と衝突することのないよう、既存のデジタルバスに他のデジタルバスを付加するだけでよい。このようなアプローチは、Danielsらの発明になり本件の出願人に譲渡された“複数内部データバスを備えたマイクロプロセッサ”と題する昭和54年特許願第114050号に開示されている。しかし、1ないし複数のデジタルバスを追加しよ

(7)

つの目的は、デジタルバスの個数を最小にして実行ユニットの高密度化を図りつつ各種機能ユニット及びレジスタ間の双方向転送を容易化するデータプロセッサの実行ユニット用バス構造を提供することにある。

本発明の他の目的は、アドレス及びデータの並列計算を容易にしてデータプロセッサの処理速度及び効率を高めたデータプロセッサの実行ユニット用バス構造を提供することにある。

本発明の更に他の目的は、16ビット・データワードの操作に適すると共に、アドレスワード及びデータワードの並列計算を行うべくマルチプル・メガバイト・メモリへ直接アドレスするに適したデータプロセッサを提供することにある。

上述した目的及びその他の目的を達成する本発明は、第1のストレージ回路を接続する第1、第2のデジタルバス、第2のストレージ回路を接続する第3、第4のデジタルバス並びに上記第1、第3のデジタルバス間及び上記第2、第4のデジタルバス間を選択的に相互接続する第1、第2の

(8)

うとすれば、データプロセッサを構成するためのチップ面積が増加する。また、追加したデジタルバスに各レジスタ及び演算ユニットを選択的に結合させるためのカップリングMOSFETを追加する必要もあり、さらに、これら追加したカップリングMOSFETデバイスを制御するための追加制御信号をデコードするデータプロセッサ制御回路を追加する必要もある。多くのアドレス演算においてはインCREMENT及びデCREMENT機能以上の機能を具えた演算ユニットを必要とする点に留意されたい。インデクトモード及びセルフリラティブモードのアドレスリングを行うには、それぞれインデックスレジスタ又はプログラムカウンタの加算又は減算を必要とする。従つて、アドレス及びデータの並列計算を行うには、各計算ごとに個別の演算ユニットを必要とする。

高密度データプロセッサ実行ユニットを構成でき、しかも実行ユニット内の並列動作に適したバス構造であれば、従来技術を大幅に改良したといえることは当業者に明らかであろう。本発明の一

(9)

双方向スイッチを具えている。本発明の一実施例においては、第1、第2のストレージ回路のそれぞれはアドレス及びデータ情報をストアするための1ないし複数のレジスタを具えている。第1、第2のデジタルバスは、第1、第2のレジスタ群内にストアされているアドレス及びデータ情報に関連する動作を並列して行えるよう、第3、第4のデジタルバスとは独立に動作し得よう。第1、第2のスイッチにより、第1のデジタルバス及び第3のデジタルバス並びに第2のデジタルバス及び第4のデジタルバス間が選択的に接続され、第1、第2のレジスタ群間の転送だけでなくセネラル転送が行われる。本発明の一実施例においては第1、第2の演算ユニットのそれぞれを第1、第2のレジスタ群に接続することにより、並列かつ独立の計算が可能となる。

本発明の説明に用いるデータプロセッサの簡易ブロック図を第1図に示す。命令レジスタ2は、プログラムメモリから受けた命令をストアする。このストアされた命令は、命令レジスタ2から命

令デコードブロック4に出力される。この命令デコードブロック4は、上記の命令に基いて実行ユニットブロック6内の演算論理ユニット(ALU)を機能させたり、このALUにデータを供給するレジスタ及びこのALUからの結果をストアするレジスタ等を機能させる。この命令デコードブロック4は、上記実行ユニットブロック6にタイミング及び制御信号を供給する制御ストアブロック8にも接続されている。

ある種の命令を実行するには、各種の転送その他の機能を実行するための幾つかの実行ユニット期間を必要とする。各実行ユニット期間内に適正なシーケンスの転送及び操作が行えるように、制御ストアブロック8からタイミング信号及び制御信号が供給される。

本発明の一実施例のデータプロセッサ用実行ユニットのブロック図を第2図に示す。第1のデジタルバス10及び第2のデジタルバス12をそれぞれアドレスバス・データ及びデータバス・データと命名する。ブロック14で例示した16ビット・デー

(11)

第2図には第3のデジタルバス20及び第4のデジタルバス22も図示されている。バス20及び22をそれぞれ下位アドレスバス及び下位データバスと命名する。バス20及び22の双方に接続されたブロック24は、複数の16ビット・アドレスレジスタを具えている。これらのレジスタは、32ビット・レジスタ群中の対応のレジスタの下位16ビットから成っている。ブロック24は、バス20及び22のいずれにも16ビット・アドレスワードを供給できる。同様に、ブロック24は、バス20及び22のいずれからも16ビット・アドレスワードを受取つてこれを16ビット・アドレスレジスタの一つにストアすることができる。

バス20及び22に接続されたブロック26は下位演算ユニットを具え、アドレスワードの下位16ビットにつき演算を行う。このブロック26はバス20から第1の16ビット入力を受けると共にバス22から第2の16ビット入力を受けて、16ビットの結果を作成する。この下位演算ユニット26で作成された16ビットの結果は、バス20又は22のいずれかに転

(13)

送される。この下位演算ユニット26は、32ビット・データワードの上位16ビットの演算に用いられるキャリアウト信号(図示せず)も作成する。第1、第2の双方向バススイッチ28及び30は、それぞれバス10及び20間並びにバス12及び22間に接続されている。

デジタルバス10及び12には、ブロック16及び18も接続されている。ブロック16には特殊機能ユニットが具えられているが、これについては第3図を参照して後述しよう。ブロック18に具えられるALUは、バス10から第1の16ビット入力を受けかつバス12から第2の16ビット入力を受けて、16ビットの結果を作成する。この16ビットの結果は、バス10又は12のいずれにも転送され得る。

(12)

第2図には、第5番のデジタルバス32及び第6のデジタルバス34も図示されている。バス32及び34を、それぞれ上位アドレスバス及び上位データバスと命名する。バス32及び34に接続されたブロック36は、複数の16ビット・アドレスレジスタ及び複数の16ビット・データレジスタを具えている。ブロック36内のアドレスレジスタは上位16ビットのアドレスをストアし、ブロック24内のアドレスレジスタと共に32ビット・アドレスレジスタを構成する。ブロック36内の16ビット・データレジスタは上位16ビットのデータレジスタをストアし、ブロック14内のデータレジスタと共に32ビット・データレジスタを構成する。

バス32及び34に接続されたブロック38は、アド

(14)

レスワード又はデータワードの上位16ビットについて演算を行い上位演算ユニットを具えている。ブロック38は、バス32から第1の16ビット入力を受けると共にバス34から第2の16ビット入力を受け、16ビットの結果を作成する。この上位演算ユニットで作成された16ビットの結果は、バス32又は34に転送される。前述したように、上位演算ユニット38はブロック26で作成されたキャリアウトに応答し、下位16ビットからのキャリアウトを上位16ビットの演算に取入れる。第3、第4の双方向バススイッチ40及び42が、それぞれバス32及びバス20間並びにバス34及び22間に接続されている。

このように、データプロセッサ用レジスタファイルが3部分に分かれていることが判ろう。2個のセネラルバス(アドレスバス、データバス)は、レジスタファイル内の全ワードに接続されている。レジスタファイル・セクション(上位、下位、データ)は、双方向バススイッチにより分離又は接続される。これによつて、レジスタセクション間のセネラルレジスタ転送が可能となる。上位及び

(15)

3A図乃至第3C図に示す。これらの図には、外部アドレスバスへのインタフェースを行なうデータプロセッサ出力ポートと実行ユニットとの接続及び双方向外部データバスへのインタフェースを行なうデータプロセッサI/Oデータポートと実行ユニットとの接続も示す。まずセグメント化されたバスのデータセクション(第3A図)を参照すれば、レジスタ44(R7)乃至レジスタ46(R0)は8個の32ビット・データレジスタの下位16ビット・レジスタを表わしている。レジスタ48(DTL)は16ビットの下位データ・テンポラリレジスタであり、これはユーザーが操作できず、データプロセッサ制御回路が16ビット・データを一時的にストアするのに用いられる。ALU 50は、2個の16ビット入力データワードについて各種の演算論理操作を行ない結果を作成するが、この結果はラッチ52にストアされる。ALU 50への入力手段としてバス10及び12が具えられる。定数データブロック(K_D)54から、各種の16ビット定数が入力し得る。レジスタ56(ALUB)からの出力もALU 50に入力し得る。レ

(17)

下位セクションには限定的な演算ユニットが配置され、汎用のALU能力はデータセクション内に配置されている。このため、アドレス計算及びデータ計算を同時に行うことができる。例えば、プログラムカウンタのイクレメント操作と並行してレジスタ・レジスタ間のワード加算を行うことができる。なお、プログラムカウンタはアドレスレジスタ・ワードに近接して位置し、下位演算ユニット26からのキャリアウトは上位演算ユニット38に供給される。ビット操作の特殊機能ユニット16が、データセクション内に配置されている。

第2図の構成には2つの利点がある。第1の利点は極めて高密度のスタテックRAM(ランダム・アクセス・メモリ)セルを具えている点であるが、このRAMセルは本発明に係るものであり、またツープバス(two-bus)構造を支えるものである。第2の利点は、所望のレジスタについて16ビットのセグメント化を行う16ビット・データの採用である。

第2図に図示した実行ユニットの更に詳細を第

(16)

ジスタ56内には、バス10又は12から16ビット・データワードが蓄込まれる。レジスタ56は乗算又は除算中に乗数又は除数を保持し、バス10又は12からの乗数又は除数の供給を不要にしたという点で、乗除算操作に特に有用である。

ALU拡張レジスタ58(ALUE)は、バス12から読み書きされる16ビット・レジスタである。ALUEレジスタ58はALU 50に結合され、ALU 50との間で直列ビット転送を行うシフトレジスタである。レジスタ58はALU 50と組合されて、ダブルワード(32ビット)のシフト操作に用いられる。この32ビット・シフトレジスタは、乗算操作におけるダブルワード積及び除算操作の間、32ビット・被除数を蓄積する。

ブロック60(DCR)は、ビット操作に有用なデコーダである。このDCRブロック60はバス10から4ビット・コード化入力を受け、16出力ビットの1つだけが論理の“1”であるような完全にデコードされた16ビット出力をバス12に出力する。このデコードされた16ビット出力はALU 50をマスクす

(18)

るのに用いられるが、そのうち1ビットだけがマスクを行い他の15ビットはマスクを行わない。

ALUラッチ52の出力は、カップリングスイッチ62を介して参照符号64の点に転送される。点64は、カップリングスイッチ66及び68により、それぞれバス10又は12に選択的に結合される。このようにして、ALUラッチ52はバス10又は12のいずれをもドライブすることができる。

点64は、イネープリング・カップリングスイッチ72を介して、バイト・マルチプレクサ(MPX)70にも結合することができる。カップリングスイッチ62, 66又は68のいずれがイネーブルにされるかによつて、バイトマルチプレクサ70への入力源はそれぞれALUラッチ52, バス10又はバス12となる。バイト・マルチプレクサ70は、16ビット出力をデータ出力バッファに供給するが、このバッファはマルチプレクサ70の出力をラッチするためのラッチを具えている。DOB 74の出力は、外部16ビット双方向データバスとのインタフェースをなすデータプロセッサ・チップの16ビットデータI/Oポート

(19)

要がある。バイト・マルチプレクサ78は、16ビット・データワードの上位バイトと下位バイトとを選択的に入換える。同様に、バイトマルチプレクサ70は、カップリングスイッチ72を介して転送されてきた16ビット・データワードの上位又は下位バイトを、バイトマルチプレクサ78の操作と相補的になるように、入換える。

第3A図を参照して説明した上述の機能の他に、一方のバス(10又は12)上のデータワード又はALUラッチ52にラッチされたデータワードを選択的にDOB 74に供給する機能がある。このため、データプロセッサの実行ユニットが並列的に動作でき、ダブルワード操作の場合には特に有意義となる。一例として、メモリからの32ビット・データを実行ユニット内の32ビットレジスタに加算し、32ビットの結果をメモリに戻すというレジスタ・メモリ間加算命令を想定する。この例において、メモリ・データワードの下位16ビットを第1の期間内にアクセスする。第2の期間においては、ALU 50によるレジスタの下位16ビットとデータワードの

(21)

トに結合される。この外部データバスは、データプロセッサを動作させる命令及びデータをストアしているメモリチップに接続され得よう。

データバス入力バッファ76(DBIN)は、外部データバスから受取つた16ビット・データをストアするラッチを具えている。DBIN 76の出力は第2のバイトマルチプレクサ78に結合される。このバイトマルチプレクサ78は、バス10又は12に16ビット・データワードを供給することができる。

次にバイトマルチプレクサ70及び80の機能を説明しよう。ALU 50は、主として16ビットの演算論理操作用に設計されているが、8ビット・グループ(バイト)に対して操作を行うことも往々にして必要になる。従つてALU 50、ALU 50で作成された8ビットの下位バイト結果のバイト・キャリ、バイト・ゼロ及びバイト・オーバーフローのステータスフラグを供給するように設計されている。入力バッファ76に受けた16ビット・データワードの上位バイトに対して操作を行うには、この上位バイトをALU 50の下位バイト部分に移動させる必

(20)

下位16ビットとの加算操作と並行して、データプロセッサはデータワードの上位16ビットのメモリ内にアドレスを転送する。ALUラッチ52は、ALU 50で作成された結果をラッチする。第3の期間においては、ラッチ52の出力が出力バッファ74に結合されて結果の下位16ビットをメモリに戻されると共に、バス10及び12は、上位の16ビット結果を計算するための上位の16ビット・オペランドをALU 50に供給できるように、フリーになつている。

第3B図には、双方向バススイッチ28, 30, 40及び42が図示されている。これらバススイッチの各々は、ドレイン、ソース及びゲート端子を具えた複数のMOSFETで構成されている。バススイッチ28については、バス10及び20により転送されたデータの各ビットごとに2個のMOSFETを使用できる。後述するように、バス10及び20の各々は、転送すべき各データビットごとにTRUE(真)及びコンプリメントの信号線を具えている。第1のMOSFETのドレインはバス20のビット0のTRUE信号線に結合されており、このMOSFETのソー

(22)

スはバス10のビット0のトルー信号線に結合されている。同様に、第2のMOSFETのソースはバス20のビット0のコンプリメント信号線に結合されており、そのドレインはバス10のビット0のコンプリメント信号線に結合されている。同様の方法により、他の16ビット・データに対しても、MOSFETが結合されている。これらMOSFET素子のゲート端子は共通接続され、これら複数MOSFETをイネーブル又はデセーブルする制御論理回路に結合されている。同様に、双方向バススイッチ30、40及び42の各々は対応の数のMOSFET素子を具えており、これらMOSFETの各群は制御論理回路に結合されており、各双方向バススイッチは互いに独立にイネーブル又はデセーブルされる。

第3B図には、バス20及び22に結合された下位アドレスセクションが図示されている。バス20及び22に接続されたレジスタ80(PCL)は、32ビット・プログラムカウンタレジスタの下位ポーションを構成している。同じくバス20及び22に接続されたレジスタ82(ATL)は、32ビット・アドレス・テン

(23)

モリセクションの指示に用いることができる。

下位の演算ユニット(AUL)90は、2個の16ビット・アドレスワードに対して16ビットの演算操作を行うことができる。このAUL90で作成された結果は、ラッチ92にストアされる。バス20及び22からAUL90へ入力する場合もある。AUL90へは、ブロック(KL)90から各種の16ビット定数が入力する場合もある。ブロック94は対応の上位セクションと組合されて動作し、32ビットのアドレス定数を供給する。ラッチ92の出力は、スイッチカップラ96によつてPCL80に選択的に書込まれる。このラッチ92の出力は、スイッチカップラ100を介して参照符号98の箇所にも結合されている。98の箇所は、スイッチカップラ102及び104を介してそれぞれバス20及び22に結合され得る。このようにしてラッチ92の出力はバス20又は22のいずれにも供給されることができる。98の箇所はスイッチカップラ108を介してアドレス出力パツファ106に結合され、アドレスの下位16ビットは外部アドレスバスに転送される。スイッチカップラ100、

(25)

ポラリレジスタの下位16ビット部分を構成している。ユーザーはこのレジスタを操作することができず、このレジスタはこのデータプロセッサの制御論理回路によるアドレスその他の情報の一時的ストアにのみ使用される。バス20及び22に接続されたレジスタ84(REL')は、32ビット・ハードウェア・スタックポインタの下位ポーションを構成している。このハードウェア・スタックポインタは、サブルーチンリンケージに対するリターンアドレスのストア及びデータプロセッサが割込みを識別したときに特定レジスタの内容をセーブするためのスタックとして参照されるメモリセクションを指示する。バス20及び22に接続されているレジスタ86(RFL)乃至レジスタ88(R8L)は、ユーザーが操作できる8個の32ビット・アドレスレジスタの下位ポーションに対応している。このレジスタ86をユーザー・スタックポインタとして使用し、メインプログラムからサブルーチンへの及びメインプログラムへのリターン用のアーギュメントを便宜的に通過させるためにデータをストアするメ

(24)

102及び104は、ラッチ92、バス20又はバス22の出力をパツファ106に選択的に入力させるように制御される。

第3図には、バス32及び34に付随する上位、アドレスセクションが図示されている。この上位アドレスセクションは既に詳述した下位アドレスセクションと極めて類似しているので、これについては簡単に述べる。上位16ビットのレジスタ82'(ATH)は、レジスタ82と共に、32ビット・レジスタを構成している。同様に、上位16ビットのレジスタ48'(DTH)は、レジスタ48と共に32ビットのレジスタを構成している。同じく、上位アドレスセクションの他のレジスタは、既に説明した対応の下位レジスタの参照符号にダッシュを付した参照符号で表示されている。同様に、他の対応エレメントもダッシュの付された参照符号で表示されている。

バス32及び34に付随する論理回路(図示せず)は、次のような符号拡張機能を有している。16ビット・アドレスワードが32ビット・アドレスレジ

(26)

スタに加算される場合、下位のアドレスセクションにおいて、16ビット・アドレスワードがアドレスレジスタの下位16ビットに加算される。この16ビット・アドレスワードは2の補数表示がなされるので、全ビットが16ビット・アドレスワードの極性ビットすなわちMSBで決まる論理の“0”又は“1”で構成される16ビットのダミーグループを上位のアドレスセクションに供給することが必要になる。既に説明したように、バスの各々は転送すべき16ビットの全てについてトルー及びコンプリメント信号線을 具えている。転送前は常に、トルー及びコンプリメント信号線の両者がハイレベルすなわち論理の“1”にプレチャージされる。従つて、論理回路は、対応の下位セクションバス上のMSBのステータスに従つて、上位セクションバス内のトルー信号線又はコンプリメント信号線のいずれかをローレベルすなわち論理の“0”に放電するだけで、符号拡張機能を実現することができる。この放電回路は、バス信号線の各々及び接地電位間に接続された複数のMOSFET素子を具えて

(27)

IRDレジスタ114の出力は、フィールド変換(translate)ユニットブロック(FTU)116に供給される。このFTU116は下位アドレスセクションのバス20及び22に結合されると共に、プロセッサ・ステータスワード・ブロック(PSW)116にも結合されている。このPSWは、ジャンプその他の後続命令に影響を及ぼすゼロ検出、オーバーフロー検出、キャリ検出、正又は負結果等データプロセッサのステータスを示す状態コードを保持する。FTU116はレジスタ114内の命令中のビットフィールドを選択的に抜き出し、この抜き出されたビットフィールドはシフトすなわち変換され、新たなアドレスの計算用としてアドレスレジスタに供給されるのに適した形式となる。FTU116は、抜き出されたビットフィールドが実効的に16ビット・オペランドに変換されるように符号拡張論理回路を制御することができる。前述した符号拡張論理回路により、この16ビット量を32ビットのオペランドに拡張することができる。

FTU116は、レジスタのマルチローディング及び

(29)

おり、バス信号線を選択的に接地する。

第3図に示す命令レジスタ・キャプチャブロック(IRC)110は、外部メモリから外部データバス上を転送されてきた16ビットの命令を受ける。この命令レジスタ・キャプチャブロック110の出力は命令レジスタ(IR)112に供給され、16ビット命令としてここにストアされる。この命令レジスタ112の出力は命令レジスタ・デレイブロック(IRD)114に供給されるが、このブロックは、次に実行すべき命令が命令レジスタ112に入力した後においても、カレント実行命令のコピーをストアすることができる。このため、カレント命令の実行中においても、次に実行すべき命令を命令レジスタからデコード回路に供給することが可能となる。ある種の命令ワードは、命令実行中にアクセスすべきレジスタを特定するビットフィールドを含んでいる。これらのビットフィールドはIRDレジスタ114内に保存され、次の命令のデコードとカレント命令の実行に必要なビットフィールド間の分離に用いられる。

(28)

マルチストアリングも可能なように設計されている。このマルチローディング、すなわち2以上のレジスタの内容を単一のメモリ命令で指定されたメモリの連続ロケーションに転送しストアする操作、はデータプロセッサの性能を示す指標となる。DB-IN 76内にストアされた第2の命令ワードのビットフィールドは、上記マルチローディング又はストアに含まれているレジスタを指定する。FTU116はこのビットフィールドをデコードし、トランスファ内に含まれているレジスタのみをイネーブルにする。FTU116へのその他の入力には、乗算及び除算操作における定数及びトラップベクトルがある。

デジタルバス及びこれに接続されるレジスタの動作を第4図に示す。アドレスバスは第1の信号線130(A)及び第2の信号線132(A)を具えており、単一ビットの情報を転送する。このバスは、信号線130と同様の15本の他の信号線及び信号線132と同様の15本の他の信号線を具え、全部で16ビットのデジタルワードを転送するものと了解さ

(30)

れたい。同様に、データバスは、1ビットの情報
を転送するための第3の信号線134(D)及び第4の
信号線136(D)を具えている。

デュアルポート・レジスタ138(R0)乃至140(RN)
の各々は、信号線130及び132に結合された第1
のポート並びに信号線134及び136に結合された
第2のポートを具えている。レジスタ138は第1
の制御信号線142にも接続され、これによりイネ
ーブルにされて信号線130及び132に結合される。
レジスタ138に結合されている第2の制御信号線
144は、信号線134及び136へのレジスタ138の
結合をイネーブルする。同様に、制御信号線146
及び148は、それぞれ信号線対130, 132及び134,
136へのレジスタ140の結合を制御する。

信号線130及び132に結合された第1のセンス
及びリビートアンプ150は、信号線130及び132
上の信号線を差動的に受ける。このセンス及びリ
ビートアンプ150は、信号線130及び132にわた
って出現する微弱な差動信号を増幅して、これら
信号線上に正しい論理の"1"及び"0"を設定

(31)

と同様である。

従来例の回路図を第5図に示す。第4図に示し
た信号線に対応する信号線には第4図と同一の参
照符号を使用している。第1のインバータ154の
出力は第2のインバータ156に入力する。第2の
インバータ156の出力は、ゲート端子が正電源 V_{DD}
に接続されているカップリング MOSFET 158を介
して、第1のインバータ154に入力する。この MOS
FET 158によるフィードバックによつて、この回
路は論理の"1"又は"0"をラッチすることができる。信号線130及びインバータ154間に接続
された MOSFET 160のゲート端子は、制御信号線
142に接続されている。この信号線142がハイレ
ベルになつて MOSFET 160が導通すると、信号線
130からレジスタセル内にデータが書き込まれる。
同様にして、信号線134及びインバータ154の入
力間に MOSFET 162が接続されており、MOSFET
162は制御信号線144によつて選択的にイネー
ブルされ、信号線134からレジスタセル内にデータ
が書き込まれる。

(33)

する。データ転送に先立つて、信号線130及び132
の両者は常にハイレベルすなわち論理の"1"に
プレチャージされる。レジスタ138の内容をアド
レスバス上に出力するには、制御信号線142をハ
イレベルに立上らせ、これによつてレジスタ138
を信号線130及び132にアクティブ的に結合させ
る。チップ面積を節約するため各レジスタ内のス
トレージ回路を小寸法の MOSFET で構成している
が、この MOSFET は容量性負荷のドライブに不向
きである。従つて、レジスタ138を信号線130及
び132に結合せしめるに際しては、これら信号線
間に微弱な差動信号のみを結合させている。この
微弱な差動信号を供給した直後に、センス及びリ
ビートアンプ150をアクティブにし、信号線130
及び132上の微弱な差動信号を再生増幅している。
このようにすれば、信号線130及び132上の信号
レベルは、他の回路において論理の"1"又は"0"
として弁別可能な値となる。信号線134及び136
に結合されているセンス及びリビートアンプ152
の動作も、センス及びリビートアンプ150の動作

(32)

出力インバータ156及び信号線130間に接続さ
れた MOSFET 164のゲート端子は、制御信号線142'
に接続されている。制御信号線142'がハイレベル
になると、レジスタセルから信号線130への書き
込みが行われる。同様に、出力インバータ156及び
信号線134間に MOSFET 166が接続されている。
この MOSFET 166は、制御信号線144'により選択
的にイネーブルされて、レジスタセルから信号線
134にデータの書き込みを行なう。この従来例にお
いては各レジスタを制御するのに4本の制御信号
線を必要とする点に留意されたい。

第4図に示した本発明の一実施例に使用するレ
ジスタセルの回路図を第6図に示す。第6図の信
号線は第4図で既に説明した同一の参照符号の信
号線と対応している。インバータ168及び170は、
第5図の従来例のようにフィードバック MOSFET
を使用することなく、直結されている。インバー
タ170及び信号線130間に MOSFET 172が接続さ
れている。同様に、インバータ168の出力及び信
号線132間に MOSFET 174が接続されている。

(34)

MOSFET 172 及び 174 のゲート端子はいずれも制御信号線 142 に接続されている。制御信号線 142 がハイレベルになると、MOSFET 172 及び 174 は各々導通し、このレジスタセルはアドレスバスにアクティブ的に結合する。同じく、インバータ 170 の出力及び信号線 134 間に MOSFET 176 が接続され、インバータ 168 の出力及び信号線 136 間に MOSFET 178 が接続されている。MOSFET 176 及び 178 のゲート端子は、いずれも制御信号線 144 に接続されている。制御信号線 144 がハイレベルになると MOSFET 176 及び 178 が導通し、レジスタセルはデータバスにアクティブ的に結合する。

第 6 図に図示したレジスタセルの更に詳細な回路図を第 7 図に示す。第 6 図の要素に対応するものには第 7 図においても同一の参照符号を付している。MOSFET 180 及び 182 は第 1 のインバータ 168 を構成し、MOSFET 184 及び 186 は第 2 のインバータ 170 を構成している。MOSFET 182 及び 186 はデブリーションモードの MOSFET であり、それぞれエンハンスメントモードの MOSFET 180

(35)

ヤージされていることを想起されたい。なお MOSFET 180 が導通しており、MOSFET 184 が非導通であるとすれば、MOSFET 180 は MOSFET 174 を介して信号線 132 を放電する。これに対して MOSFET 184 は非導通であるから、MOSFET 186 は信号線 130 上のハイレベルのプレチャージを保持する。このようにして信号線 130 及び 132 間に微弱な差動信号が発生し、この差動信号はセンス及びリピータンプで増幅される。

アドレスバスからレジスタセル内にデータを書込みたいときには、プレチャージ期間後で MOSFET 172 及び 174 がイネーブルされる前に、信号線 130 及び 132 上にハイ (V_{DD}) 及びロー (接地電位) を設定する。書込むべきデータに対応して信号線 130 及び 132 上にレベルが一旦設定されると、MOSFET 172 及び 174 がイネーブルにされ、このレジスタセルはアドレスバスから書込まれた論理レベルに切替えられる。同様にして、データバスからこのレジスタセルに書込みを行うこともできる。

第 7 図の回路を集積回路化するためのレイアウト

(37)

及び 184 の負荷になる。MOSFET 180 及び 184 のソース端子はいずれも接地されており、MOSFET 182 及び 186 のドレイン端子はいずれも正電源 V_{DD} に接続されている。MOSFET 182 のゲート及びソースに接続されている MOSFET 180 のドレインは、第 1 のインバータの出力を発生する。同様に、MOSFET 186 のゲート及びソースに接続されている MOSFET 184 のドレインは、第 2 のインバータの出力を発生する。MOSFET 180 及び 184 のゲート端子は、各々第 1、第 2 のインバータの入力に対応する。

MOSFET 180 が導通しておりかつ MOSFET 184 が非導通であるとすれば、MOSFET 180 のドレインはローレベルに引下げられかつ MOSFET 184 のドレインは MOSFET 186 によつて V_{DD} 電圧近くまで引上げられている。このレジスタセルの内容を信号線 130 及び 132 上に書込みたいものとするれば、制御信号線 142 をハイレベルにドライブして MOSFET 172 及び 174 をイネーブルにすればよい。信号線 130 及び 132 は前以つてハイレベルにプレチ

(36)

トを第 8 図に示す。バス信号線 130、132、134 及び 136 用の金属線 (metal run) がチップの上面に形成されている。電源線 V_{DD} 及び V_{SS} (接地) 用の金属線も図示されている。これらの金属線から分離されて、その下方で金属線と直交するようにポリシリコン・チャネルが形成されている。このポリシリコン・チャネルは、レジスタ選択信号を転送すると共に、レジスタセルを構成する MOSFET 相互を接続している。このレジスタセルの上部に他の金属線を追加してデータプロセッサの他の部分を相互接続するための適当な空間を残すように、 V_{SS} 、AB 及び DB 用の金属線が、はなれた位置に形成されている。このレジスタセルを実現するのに必要なレイアウト面積は、第 5 図に示した従来例のレジスタセルの場合に比べて半分以下になる。

第 4 図に示した A バス用のセンス及びリピータンプ 150 の回路図を第 9 図に示す。MOSFET 190 及び 192 は交叉接続され、MOSFET 190 のドレイン及び MOSFET 192 のゲートはいずれも信号線 130

(38)

に接続されている。MOSFET 192 のドレイン及び MOSFET 190 のゲートはいずれも信号線 132 に接続されている。MOSFET 190 及び 192 のソースはいずれもソースが接続された MOSFET 194 のドレインに接続されている。この MOSFET 194 のゲートはセンス^{アンプ}制御信号線 196 に接続されている。回路図の下方に記載したタイミング波形図に示すように、バス上の各情報転送は T1 乃至 T4 の各期間に分割されている。期間 T4 において、信号線 130 及び 132 はハイレベルに充電される。T1 期間の開始と共にレジスタセルの一つが信号線 130 及び 132 に選択的に結合され、これらの信号線間に微弱な差動信号を発生せしめる。T1 期間の中ほどで制御信号線 196 がハイレベルとされて MOSFET 194 が導通し、交叉接続された MOSFET 190 及び 192 に対する電流源になる。この交叉接続回路による再生増幅動作によつて、ある程度ローレベルとなつている信号線電圧が完全な接地電位に引下げられて、この信号線上に正確な論理の“0”レベルが設定される。このようにして設定された信

(39)

に詳細な回路図、第 8 図は第 7 図の高密度レジスタセルを IC データプロセッサ内で実現する場合の配置を示す図、第 9 図は第 4 図に示す本発明の増幅回路ブロックの一実施例の回路図。

2 … 命令レジスタ、4 … 命令デコードブロック、6 … 実行ユニット、8 … 制御ストアブロック、10、12、20、22、32、34 … デジタルバス、14、24 … アドレスレジスタ、18 … ALU、26、38 … 演算ユニット、36 … アドレス及びデータレジスタ。

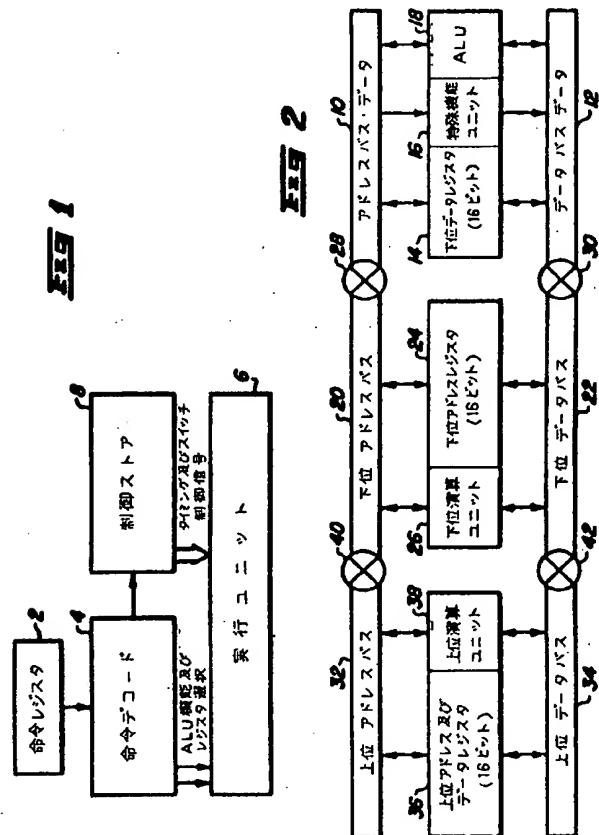
特許出願人 モトローラ・インコーポレーテッド
代理人弁理士 佐 藤 薫

号線 130 及び 132 上の正確な論理の“1”又は“0”を、T1 期間内においてリード・リストア的にこのレジスタセル内に書き込むことができる点に留意されたい。第 1 のレジスタセルから読取つたデータを第 2 のレジスタセルに書き込む場合には、T2 期間において第 2 のレジスタセルを同一のバスに結合せしめて、センス及びリビートアンプが設定した値を第 2 のレジスタに書き込めばよい。

4. 図面の簡単な説明

第 1 図は、制御回路及び実行ユニットを一般的に含むデータプロセッサの簡易ブロック図、第 2 図はセグメント化されたバス構造を示す実行ユニットのブロック図、第 3 図は第 2 図に例示した実行ユニットの更に詳細なブロック図、第 4 図はレジスタの一群、第 1、第 2 のデジタルバス及び増幅回路を具えた本発明の一実施例のブロック図、第 5 図は従来のレジスタ・ストレージセル及び I/O 結合回路、第 6 図は本発明のデュアルポート・レジスタセル及び I/O 回路の回路図、第 7 図は第 6 図に例示したデュアルポート・レジスタセルの更

(40)



(41)

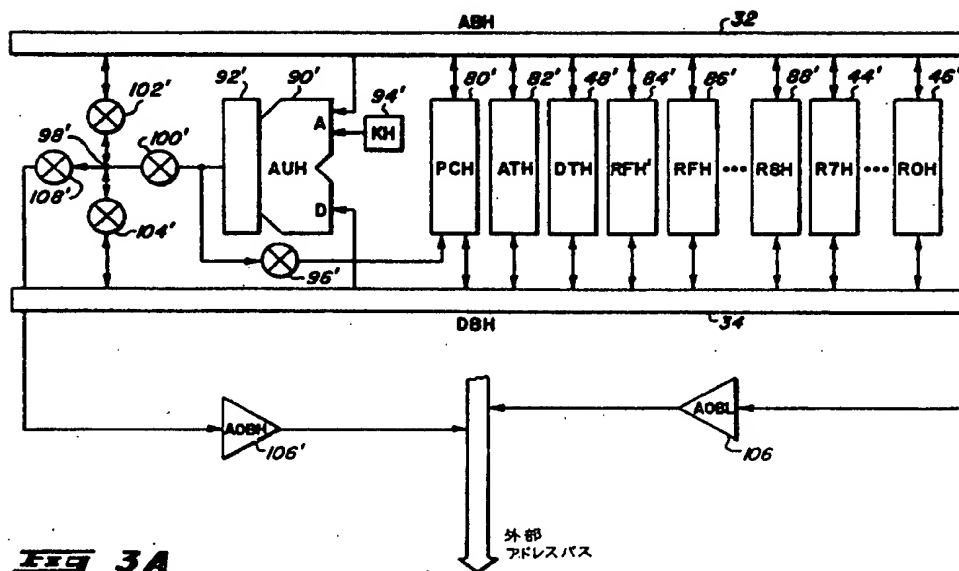


Fig 3A

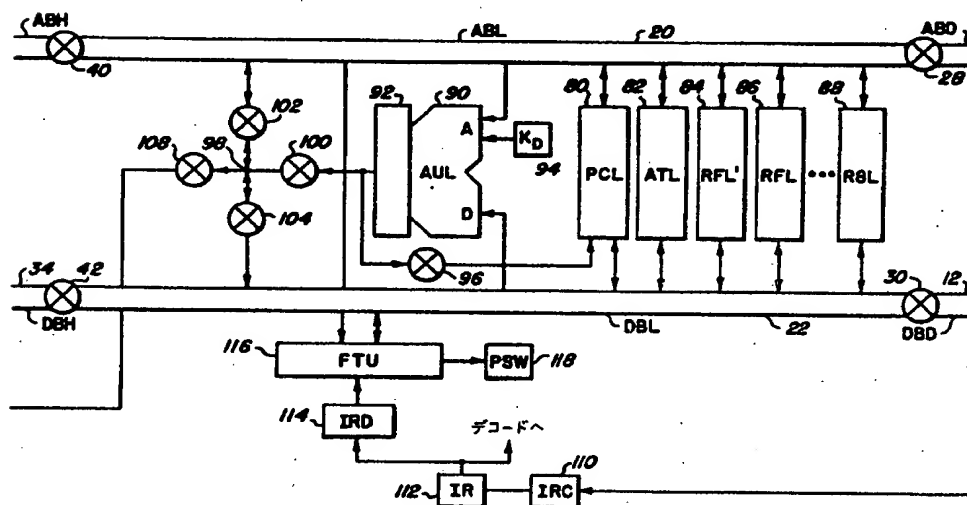


Fig 3B

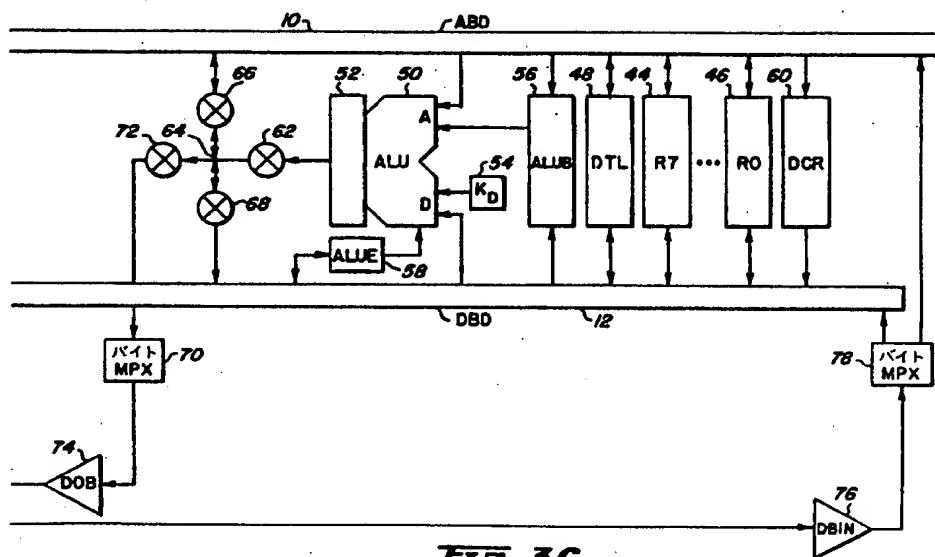


FIG 3C

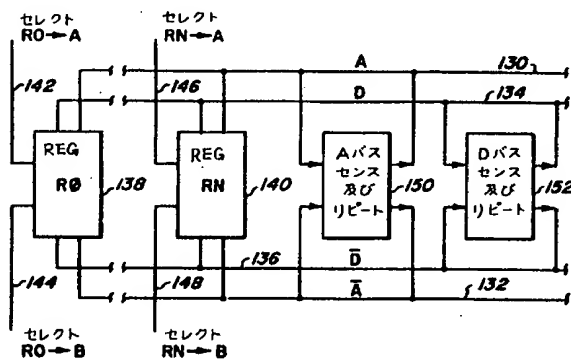


FIG 4

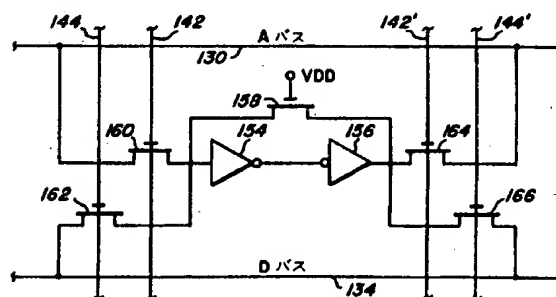


FIG 5

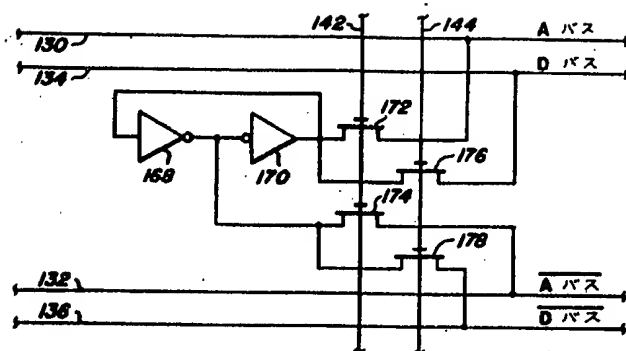


Fig 6

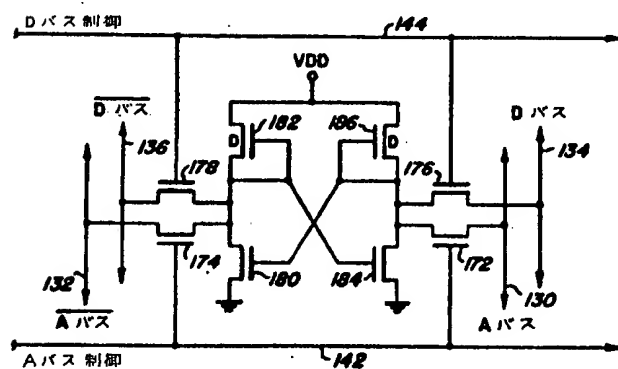


Fig 7

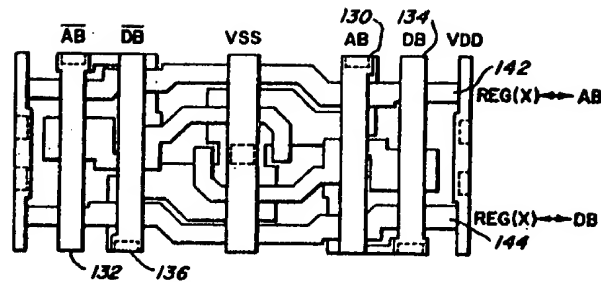


Fig 8

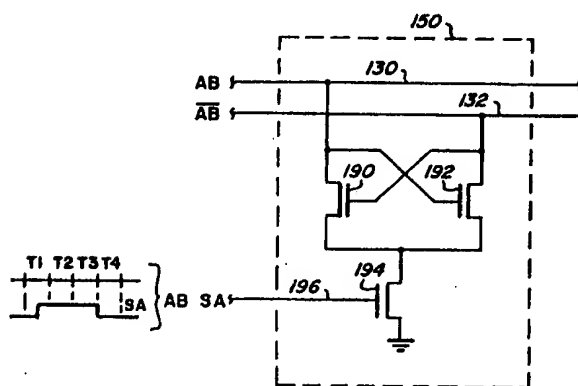


Fig 9